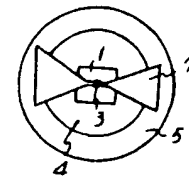
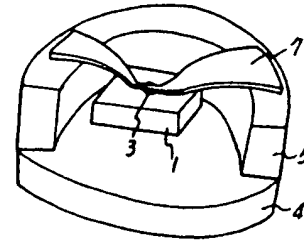


(54) SEMICONDUCTOR DEVICE

(11) 58-191453 (A) (43) 8.11.1983 (19) JP  
(21) Appl. No. 57-74868 (22) 4.5.1982  
(71) NIPPON DENKI K.K. (72) KAZUO HONMA(1)  
(51) Int. CP. H01L23/12, H01L23/48

**PURPOSE:** To contrive to reduce inductance without increasing parasitic capacitance of the semiconductor device by a method wherein a metal tape to make electric contact between a metal electrode part on the upper surface of the active layer of a semiconductor pellet and a case is widened in proportion to approach the case.

**CONSTITUTION:** The metal tape 7 is fusion welded to the metal electrode part 3 and the upper surface of the insulator part 5 of the case to make electric contact to the pellet consisting of a substrate layer 1, the active layer and the metal electrode part 3 on the upper surface of the active layer, and to the case consisting of a metal part 4 and the insulator part 5. By narrowing width of the metal tape 7 at the part to be fusion welded to the metal electrode part 3, projection of the crushed part of the metal tape 7 to the outside of the metal electrode part 3 is not generated when fusion welding is performed, and increase of parasitic capacitance according to a gap between the projecting part and the substrate layer 1 is dissolved, while because width of the metal tape 7 at the part other than the circumference of the metal electrode part 3 is widened, large reduction of inductance can be attained.



257/775

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58-191453

⑬ Int. Cl.<sup>3</sup>  
H 01 L 23/12  
23/48

識別記号

庁内整理番号  
7357-5F  
6819-5F

⑭ 公開 昭和58年(1983)11月8日

発明の数 1  
審査請求 未請求

(全 4 頁)

⑮ 半導体装置

⑯ 特 願 昭57-74868

⑰ 出 願 昭57(1982)5月4日

⑱ 発 明 者 本間一夫  
東京都港区芝五丁目33番1号日  
本電気株式会社内

⑲ 発 明 者 梶村武史

東京都港区芝五丁目33番1号日  
本電気株式会社内

⑳ 出 願 人 日本電気株式会社

東京都港区芝5丁目33番1号

㉑ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

半導体ベレットとこのベレットが実装されるケースからなる半導体装置において、ベレットの動作層上面の金属電極部とケースとの電気的接触をとるための金属線あるいは金属テープの太さもしくは幅を前記ケースに近づくにつれて太くもしくは広くしたことを特徴とする半導体装置。

3. 発明の詳細な説明

本発明は配線インダクタンス成分を有する半導体装置に関するものである。

高い周波数で用いられる半導体装置は、装置自体のもつ結合容量、直列抵抗、インダクタンス、浮遊容量、寄生抵抗、ケース容量などをできるだけ低減する必要がある、そのために種々の方策が

とられている。この中でとくにインダクタンスは、サブストレート層上に動作層および動作層上面の金属電極部を有するベレットの金属電極部と、金属部および絶縁体部で構成されるケースとの電気的接触をとる目的のために用いられる金属線あるいは金属テープ等の配線部によって主として決定される。第1図は、従来型半導体装置の横断面図を示したもので、サブストレート層1上に動作層2と動作層2上面の金属電極部3とを有するベレットと、金属部4と絶縁体部5（ただし、絶縁体部5の金属部4との接触面およびその反対面は通常、金属膜が蒸着等により形成されている）からなるケースとの電気的接触をとるため、金属電極部3と絶縁体部5上面に、均一太さ金属線または、均一幅金属テープ6が融着されている。第2図は、その上面図を示したもので、金属電極部3と絶縁体部5上面との電気的接触をとるためにそれらの部分に融着されるのは、均一太さの金属線かまたは均一幅の金属テープ6であった。半導体装置のインダクタンスを低減して高周波特性を上げるた

めには、均一太さ<sup>⑦</sup>の金属線または均一幅<sup>⑧</sup>の金属テープ6の太さや幅、長さ、厚さをそれぞれ、太く、広く、短く、厚くする必要がある。しかしながら高い周波数での使用が要求される半導体素子においては、接合容量低減のため金属電極部3の面積が非常に小さく、したがって金属電極部3に融着される均一太さ金属線あるいは均一幅金属テープ6も、融着時の均一太さ金属線あるいは均一幅金属テープ6のつぶれ幅が広くなり、金属電極部3の外側にはみ出してしまふ。このためはみ出し部とサブストレータ層1間の寄生容量の増加や、周辺部サブストレータ層1との接触を避けるためにどうしても太さを細くしたり幅を狭くしたりしなければならなかった。第3図は、インダクタンスを低減するために全体にわたって太さや幅を太くあるいは広くしたために、金属電極部3に融着された均一太さ金属線あるいは均一幅金属テープ6の融着部分が融着時のつぶれにより、金属電極部3の外側にはみだした様子を示す横断面図で、第4図はその上面図を示している。

よるインダクタンス低減半導体装置の一実施例による概略図を示したもので、サブストレータ層1と動作層および動作層上面の金属電極部3からなるペレットと金属部4および絶縁体部5からなるケースに、電気的接触をとるため金属テープ7が金属電極部3およびケースの絶縁体部5上面に融着されている。高い周波数で用いられる半導体素子においては、金属電極部5の面積は非常に小さいため、そこに融着される金属テープ7の幅も融着時の金属テープ7のつぶれが金属電極部3の外にはみ出し、このはみ出し部分とサブストレータ層1との間の浮遊容量が増加したり、はみ出し部分とサブストレータ層1とが接触するのを避けるために狭くしなければならぬという要求と、インダクタンスを低減させるという要求との両方を一挙に満足する構造となっている。すなわち、金属テープ7の幅が全体にわたって均一ではなく、ペレットの金属電極部3周辺では金属テープの幅が狭く、それ以外のところでは幅がテープ状に広がっている。このように、金属テープ7の幅を

以上のように高い周波数で従来型半導体素子を用いる場合、接合容量を小さくするため金属電極部3の面積が小さくなり、そこに融着される均一太さ金属線あるいは、均一幅金属テープ6の融着時のつぶれが、金属電極部3からはみ出さないようにするため、均一太さ金属線あるいは、均一幅金属テープ6の太さや幅を細くしたり狭くしたりしなければならず、インダクタンス低減のため均一太さ金属線あるいは均一幅金属テープ6の太さや幅を太くしたり、広くしたりしたいという要求を満足することができないばかりか、均一太さ金属線あるいは均一幅金属テープ6の太さや幅を細くしたり狭くしたりすることにより、逆にインダクタンスを増加させる結果となり、半導体素子における高周波特性の著しい劣化を招いていた。

本発明は浮遊容量を増加させることなくインダクタンスの低減がはかれる半導体装置を提供することを目的とする。~~素子に適用するもので実施例に~~より、以下詳細に説明する。第5図は、説明のためケースの絶縁体部5の一部を省略した本発明に

金属電極部3に融着される部分で狭くすることにより、融着時の金属テープ7のつぶれ部分が金属電極部3外部へはみ出すことがなくなり、はみ出し部分とサブストレータ層1間による浮遊容量の増加や、はみ出し部分とサブストレータ層1との接触の問題も解消されるとともに、金属電極部3周辺以外の部分の金属テープ7の幅が広がっているため、金属電極部3の面積が小さくなくても従来型半導体素子におけるようなインダクタンスの増加がなく、逆にインダクタンスの大きな低減がはかれることになる。このような構造の金属テープ7を用いた本発明による半導体素子の高周波特性は、従来型半導体素子に比べ格段にすぐれており、加えて金属テープ7の幅を金属電極部3に融着される部分は融着時のつぶれ部分が金属電極部3からはみ出さない程度に一定幅にしておき、それ以外の部分の金属テープ7の幅を変えることによりインダクタンスの値を自由に定める事が出来るため、ペレットやケースを変えることなく金属テープ7の幅を適当に選ぶことによって、すな

わち、金属テープ7によって決まるインダクタンス分のみを変化させることにより、半導体素子の高周波特性(たとえば、共振周波数など)を使用目的により自由に調整することができるという利点を有する。第6図は、ケースの絶縁体部5の一部を省略した第5図の上面図で、絶縁体部5の一部を省略することなく示したものである。

第7乃至9図はいづれも、本発明の他の実施例で、第7および8図においては、サブストレート層1と動作層および金属電極部3からなるベレットの金属電極部3と、金属部4および絶縁体部5からなるケースの絶縁体部5上面部分に融着される金属テープあるいは金属線7の幅あるいは太さが、金属電極部3周辺では融着時のつぶれにより金属電極部3からはみ出すのを防ぐために狭くあるいは細くされており、その以外の部分においては、インダクタンスを低減しなかつ適当なインダクタンス量をもたすため金属テープあるいは金属線7の幅や太さを段階的に広くしたり、太くしたりした半導体装置の上面図を示したものである。

第9図はケース容量を低減するためケースの絶縁体部5を小さくした半導体装置に対して、サブストレート層1と動作層および金属電極部3とを有するベレットの金属電極部3周辺では幅が狭く、その他の部分の幅は広い金属テープ7を用いた例の概略図を示したものである。

#### 4. 図面の簡単な説明

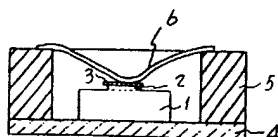
第1図は従来型半導体装置の横断面図、第2図はその上面図、第3図はベレットの金属電極部に融着された均一幅金属テープもしくは均一太さ金属線が、融着時につぶれて、つぶれた部分が金属電極部よりはみ出した従来型半導体装置の横断面図、第4図はその上面図である。第5図は本発明の一実施例による半導体装置の概略図で、便宜上ケースの絶縁体部の一部を省略してある。第6図は、ケースの絶縁体部を省略することなく示した第5図の半導体装置の上面図である。第7および第8図はいづれも本発明の他の実施例で夫々半導体装置の上面図を示し、第9図は本発明の更に他

の実施例で半導体装置の概略図を示してある。

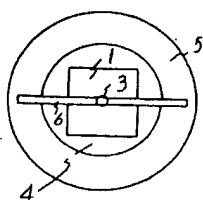
- 1……低抵抗半導体基板(サブストレート層)
- 2……動作層、3……金属電極部、4……ケースの金属部、5……ケースの絶縁体部(金属部4と接触する面と反対面は金属膜が形成されている)、
- 6……均一幅金属テープもしくは均一太さ金属線、
- 7……金属テープもしくは金属線。

代理人 弁理士 内 原 晋

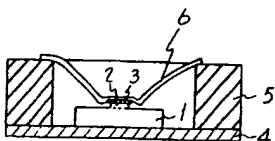




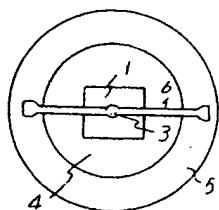
第1図



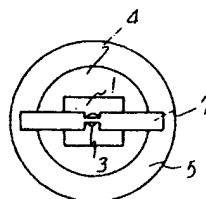
第2図



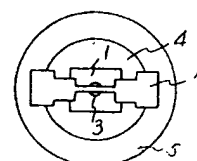
第3図



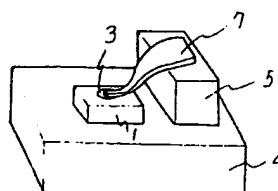
第4図



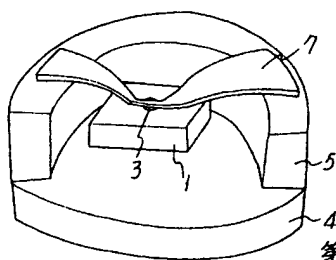
第7図



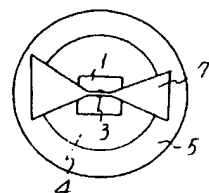
第8図



第9図



第5図



第6図